

VPX 技術介紹

新型 VPX(VITA 46)標準是自從 VME 引入後的 25 年來，對於 VME 匯流排架構的最重大也是最重要的改進。它將增加背板頻寬，集成更多的 I/O，擴展了格式佈局。

目前，VME64x 已經不能滿足國防和航空領域越來越高的性能要求和更為惡劣環境下的應用。許多應用，例如雷達，聲納，視頻影像處理，智慧信號處理等，由於受到 VME64x 傳輸頻寬的限制，系統性能無法進一步提高。急需要一種新體制的匯流排，替代現有的 VME64x 匯流排，以提高系統傳輸頻寬。

1. VPX 標準概述

VITA 46 基礎標準由 VITA46.0 (基礎協議) 和 VITA46.1 (VME 連接) 描述，也稱為 VPX，並成功地於 2006 年一月引入。這是一個里程碑，因為我們可以確信 VITA46 標準已經設計和實現出來了。下一步是完成最終文檔，並且提交 ANSI (美國國家標準化組織) 得到正式 ANSI 批准。

1.1 VPX 高速串列匯流排

VPX 匯流排是 VME 技術的自然進化，它採用高速串列匯流排替代平行匯流排是其的最主要變化。VPX 採用 RapidIO 和 Advanced Switching Interconnect 等現代的工業標準的串列交換結構，來支援更高的背板頻寬。這些高速串列交換可以提供每個差分線對 250MBytes/sec 的資料傳輸率。達到 4 個通道最高 1 GBytes/sec 的理論速率。VPX 的核心交換提供 32 個差分線對，組成 4 個 4 通道埠，每個通道都是雙向的 (一發送差分線對，一接收差分線對)。VPX 模組的理論合計頻寬為 8 GB/sec。

當今基於 VME 匯流排雷達系統陣列中的每個系統處理器，都必須等待輪到該處理器獲得總線控制權後才能發送資料。這樣不僅僅使處理器終止了對當前資料塊的處理，同時還終止了處理器對輸入資料的處理。

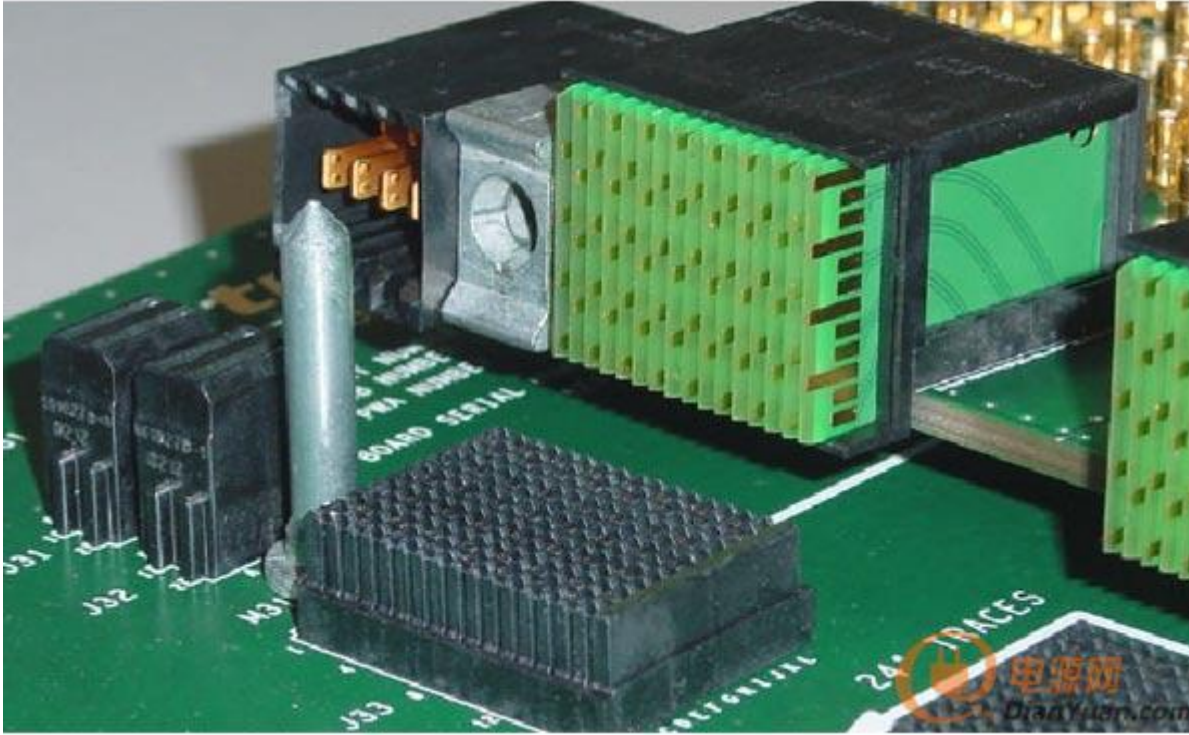
交換結構使所有資料流程暢通無阻，來解決這一問題，這樣減小了處理延遲和輸入資料流程的中斷。

StarFabric 是一個串列轉換結構，他利用現有的 VME-64 背板連結嵌入式多處理器。可是，VME64X 介面的物理特性限制限制了它將來的發展。在 VITA46 開發以前，雷達系統開始面臨主卡性能的制約。VME 主卡其中兩個最嚴重的限制是每個插槽上通過信號針的資料量限制，以及嚴重的功率浪費。VITA46 通過採用高速連接器和支援先進的交換結構，著重解決了這兩個問題。

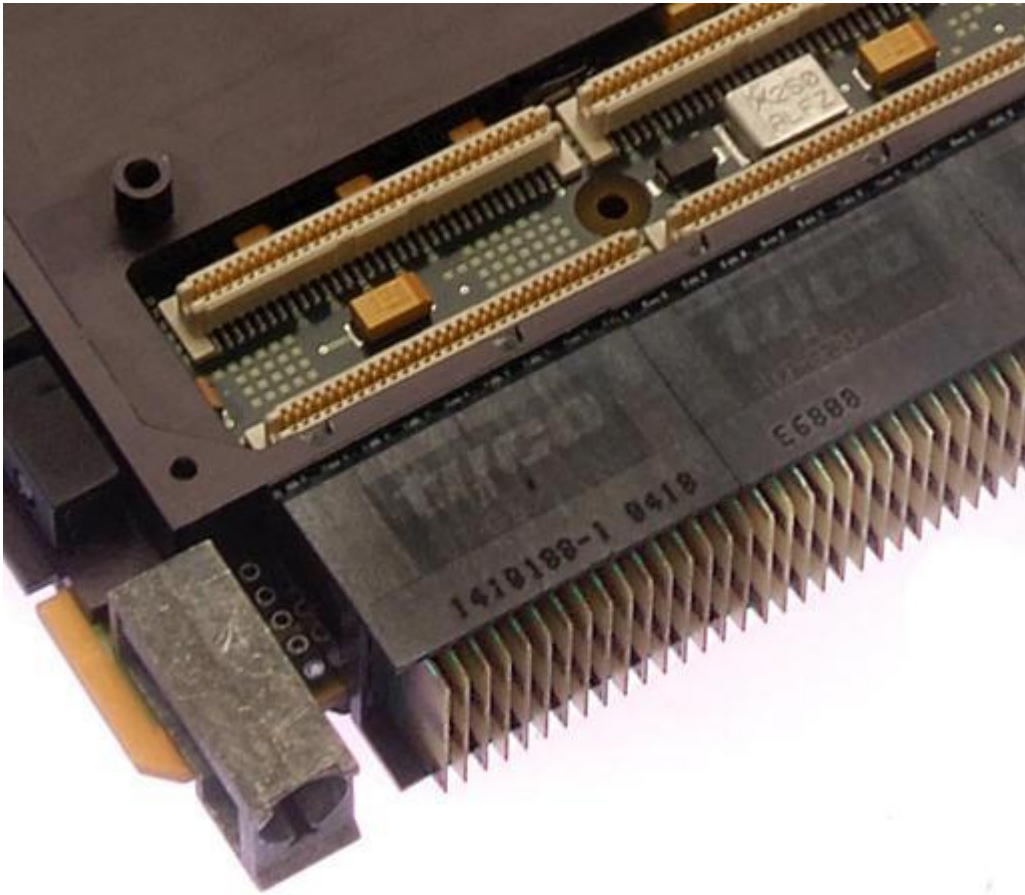
由於採集的資料頻率越高，圖像效果越好。隨著雷達資料管道變得越來越大，VPX 將成為解決這些新需求的新技術。

1.2 VPX 接外掛程式

VPX 採用了由 Tyco 公司開發出了模組化的 VPX RT2 連接器，該連接器內含可控阻抗，低插入損耗，在最高 6.25 Gbaud 下，串擾小於 3%。Tyco 公司生產的獨特的新 7 排 RT2 連接器，集成訊號連接器與定位卡榫，實現 VITA 46 模組和背板設計。VITA 46 選擇 RT2 連接器的目的是為了解決以下問題：



- 連接器必須可以發送信號至少 5 Gbits/sec
- 連接器必須提供充足的 I/O，適應現代主卡上日益增加的功能。
- 連接器的尺寸必須能夠滿足 VME 標準長度，以便可以安裝 PMC 模組，能夠保證 0.8 英寸的板間距。
- 連接器系統必須足夠牢固，這樣在軍事/航空系統的惡劣環境中才能應用。



VITA 46 模組插入和拔出力量與 VME64X 模組相近。這是因為雖然 VITA46 擁有更多的接觸點，但是 Tyco 公司的 MultiGig RT2 連接器使得每個接觸點壓力降低而又能保證充分的接觸。以上結論都是建立在連接器機械結構評估和測試基礎上得來的。

VITA 46 工作組對最終交付使用的 VPX 連接器，為 VPX 模組標準做了大量的測試認證。這些測試再現了一些最苛刻的環境測試，執行了板級標準。

主要環境參數測試包括如下：

- 振動及顫動
- 溫度
- 適度
- 沙塵
- 耐久
- 靜電保護

1.3 VPX 的 I/O 能力

VPX 擁有著更多的 I/O 能力，其數量幾乎是 VME 64X 類型卡的兩倍。所有的 I/O 針都有千兆傳輸能力，最高到 6.25 Gig/Sec。並且有輔助的 VITA 48 標準選擇，使得每個插槽，可以插更高功率的板子。與傳統的 VME 技術比 VPX 的針腳數要多，一般的 6U VPX 模組可以提供：

總共 707 個非電源，電子接腳

總共 464 個信號：

64 個信號，用於核心交換的 32 個高速差分對

104 個信號，用於實現 VME64 的

268 個通用用戶 I/O，其中包括 128 個高速差分線對。

28 個信號，用於作系統信號（重啟，JTAG，定址等），其餘未使用。

VPX 提供最高 32 個網路交換接腳，這些接腳的作用：

---得到更多的輸送量

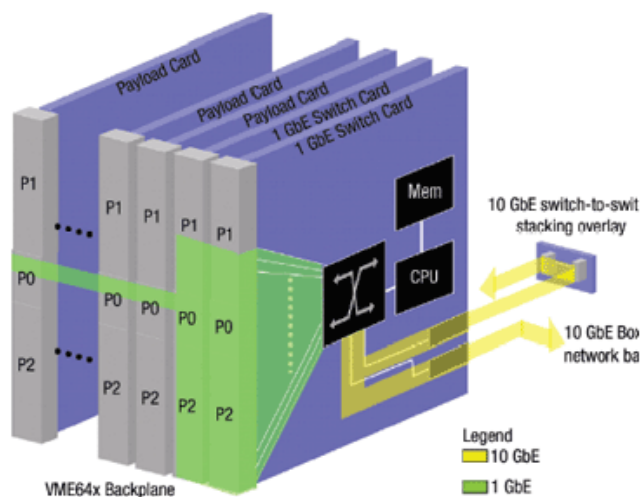
---提升性能

--實現網狀拓撲結構

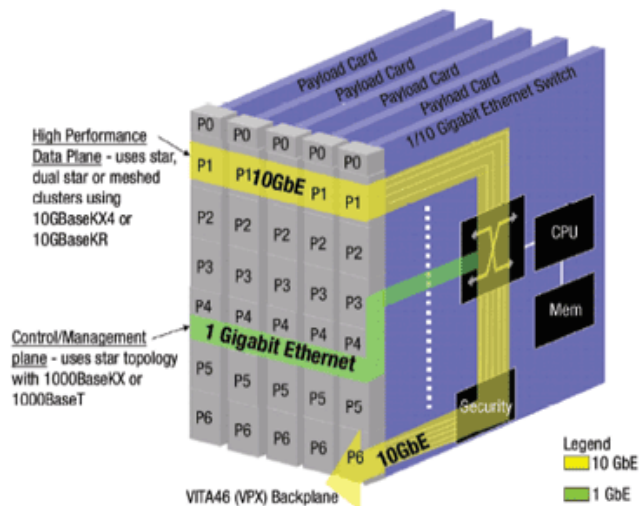
---減少插槽數

---無需交換插槽

---節省空間和降低重量



A VME64x High-Performance 1 Gigabit Ethernet Star Topology with 10 Gigabit Ethernet off-board stacking and box-to-box uplink.



Conceptual 1/10 Gigabit Ethernet System Leveraging next-generation VITA46 and 802.3ap standards.

<http://www.rtc magazine.com/articles/view/100738>

1.4 VPX 的電源改進

VPX 改進了電源供電。5V 最高可達 115W，12V 最高可達 384W，48V 最高可達 768W。

如此大功率的電源，允許板子集成更多的功能。可選的更高的電壓輸入，可以減少背板的電流，降低重量和降低電子相容問題產生。

2. VPX 高速串列匯流排

新串列交換結構技術使得軍用和航空嵌入式電腦系統得到更高的性能，同時減少系統成本和重量。如今有多種高性能交換結構技術可供選擇。這其中的三個——Gigabit Ethernet (GbE), Serial RapidIO (SRIO), and PCI Express (PCIe)尤其突出，優點最多。GbE 是基於 IP 資料通信的標準，無論是平臺間網路還是在同一個背板中的子系統。SRIO 是 DSP 應用中高密度多處理簇互聯的最好方式。第三種，PCIe 事實上已經是，核心處理器到週邊設備高頻寬資料流程傳輸應用的標準。圖 1 展示了嵌入式系統的網路結構的概念。

因為不可能有一種網路交換技術可以滿足國防和航空嵌入式應用領域中所有的需求，所以業界各大特種電腦公司提出了分層(hierarchy)解決方案——使用 GbE 作為平臺間網路互聯，並且使用 SRIO 和 PCIe 作為底板匯流排切換式網路互聯。使用這種方式，國防和航空系統集成商可以在他們系統中應用交換結構技術。

GbE，SRIO 以及 PCIe 各有優勢，如果將這些交換結構結合在一起應用於嵌入式軍用系統中，將形成一種新的能強大的結構。經過應用，主要的晶片，板子大量真實評估，以及主機板整體設計，一種被稱為 VPX 新的高性能底板問世。無論客戶應用採用分佈的、集中的，還是混合的網路拓撲結構，這種存在多種網路交換的計算平臺，允許使用者選擇最合適的網路來滿足系統需求設計。

GbE 可以應用於鬆散耦合系統的連結，SRIO, PCIe,或兩個結合使用適合於處理器，週邊設備以及板卡之間的緊密耦合通信簇。用戶可以使用 1/10GbE 切換式網路建立 Intra-Platform Network(IPN)來有效的傳輸 IPv4/v6 資訊包，使用者可以使用標準的電纜連線不同的系統，或者通過標準底板進行板子與處理器間傳輸（參看圖 1）。SRIO 更適用於組建網狀拓撲結構的數位訊號處理器應用，PCIe 更適用於核心處理器到週邊設備的高頻寬資料傳輸。

2.1 高性能網路 1/10 Gbe 交換

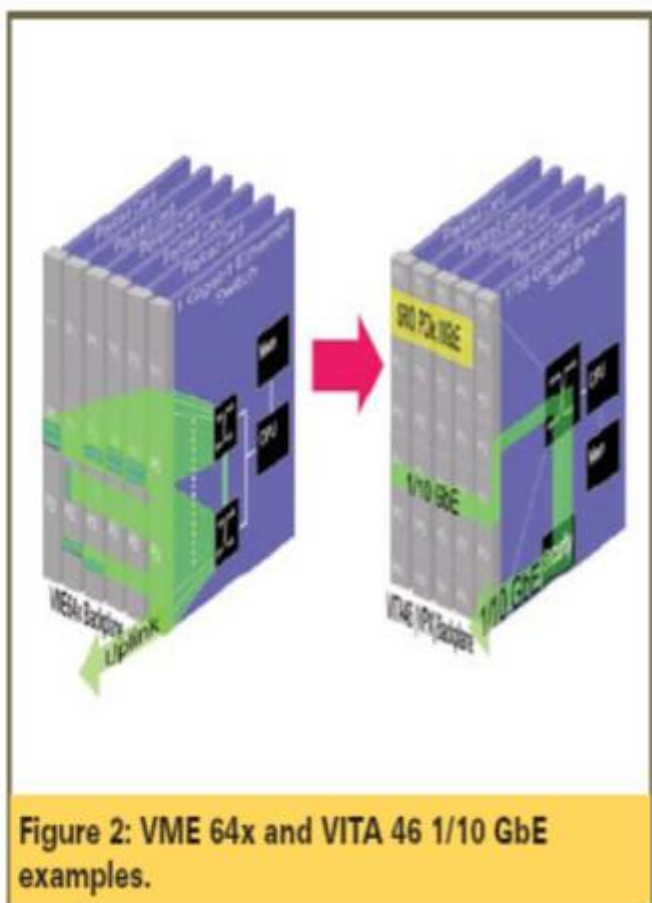
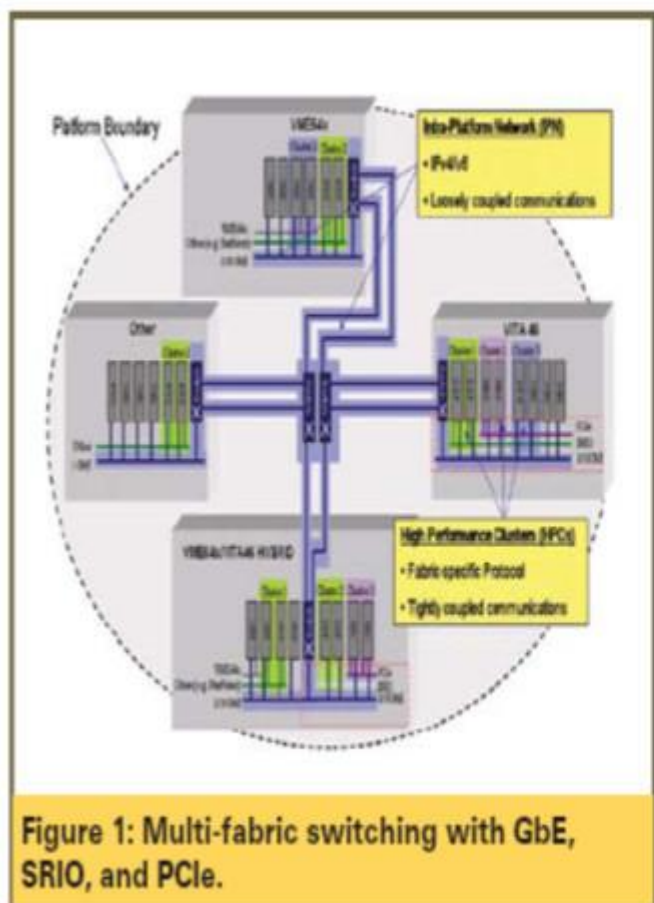
乙太網是目前最普遍的網路技術。幾乎所有的網路通信的起始和重點都有乙太網連接。這種商業領域廣泛的應用正在影響軍用市場，找到某種方式將網路中心引入加固國防應用市場。

Network Centric Warfare (NCW)學說的實現推動了高頻寬、高可靠的 IP 網路的戰場通信的發展。隨著國防對利用現有資源無縫连接到全球網路的迫切需求，1-GbE 網路交換已經成為連結主機殼和連結板子，組建今天高頻寬 IP 平臺網路的首選。

將來的技術轉向 1/10Gbe 網路是很自然的事情，它是一種高速網路的解決方案，足可以滿足日益增長的苛刻應用需求。為了滿足有效地在平臺資源間傳輸音訊，視頻，控制及管理資料的需求，支援 IPv4/v6 的 1/10 Gbe 提供了統一的方法來進行標準資料傳輸。

通過簡單的在原來系統上增加交換機或 PMC 交換卡，在 VME64x 主機殼裡組建星型或雙-星型網路來升級原有系統。採用 VPX 背板的新系統不僅可以允許 1 GBE 介面，還可以允許 10 GBE 介面通過背板路由，這樣很容易增加網路頻寬。

對於高性能網路，VPX 系統採用類似於 VME64X 系統的集中交換結構，（例如一個 VPX 交換/路由卡或者一個 X/PMC 交換卡）通過 GbE 連接主機殼中的板子，主機殼可以採用銅或者光介質連結，組建分散式或集中式的網路拓撲結構（參看圖 2）。



雖然有很多現行的 GbE 標準，其中的最流行的幾個標準和特性包括：

1000BaseT，一般用於銅介質背板進行板間或處理器間通信。1000BaseSX(1 Gb/s)一般用於光介質傳輸。XAUI 一般用於堆疊或者作為資料乾路的 10 GbE 交換卡。

1000BaseT



1000BaseSX(1 Gb/s)



XAUI



XAUI

每個 GbE 介面是 10 Mb/s, 100 Mb/s,和 1 Gb/s 自我調整, 或者通過連結代理得到多種速率, 提供高性能連接。

乙太網未來的標準將會發展到背板上支援 802.3ap (一個通道的 1000Base,四個通道的 10GBaseKX4 以及一個通道的 10GBaseKR)。

新一代 1/10 GbE 交換晶片將很快投入市場, 每個口運行速度可以在 1,2.5,5,和 10 Gb/s。

優化的 1 和 10 GbE NIC 晶片即將投入市場, 它可以通過遠端直接記憶體存取(RDMA)和 TCP 卸載引擎 (TOE)消除網路瓶頸(舉例來說: 一個 10 GbE RDMA/TOE NIC 晶片可以達到 800-MBytes/s, 並且佔用最小的處理器週期進行大的資料傳輸)

由於採用 RDMA 和 TOE 技術減輕了 1/10 GbE 終端節點的瓶頸和 TCP/IP 協定握手所花費的處理器額外負載, 使得 GbE 還可以應用到低延遲, 高輸送量和確定操作的嵌入式高性能聚合應用中。

在商業領域中, 1 GbE 和 10 GbE 能否迅速的應用到大多數主要的軍用平臺的決定因素, 是降低成本提高性能。

2.2 串列 RapidIO 發展壯大

SRIO, 高速串列交換結構技術，正在多處理器信號處理應用例如雷達，聲納，自動目標識別以及信號智慧等高性能資料傳輸扮演越來越重要的角色。SRIO 綜合了許多的重要特性，使它比 PCI Express 和乙太網更適合組建大量的處理器間通信的大型多處理器系統。採用傳統的 StarFabric 或者 Race++ 連接技術構造系統設計師們發現，他們的下一代產品如果使用基於 SRIO 產品開發會很容易成功。SRIO 特性包括：



每組包括一個發送差分線對及一個接收差分線對(稱為一個通道)1.25,2.5,或者 3.125 Gb/s 信號速率，每個通道單方向最高可以到 312.5 Mbytes/s

每個 SRIO 口可以有一個或者四個通道，每個口單方向最高的理論資料速度為 1.25Gbytes/s

8B/10B 編碼以，端對端封包 CRC 校驗

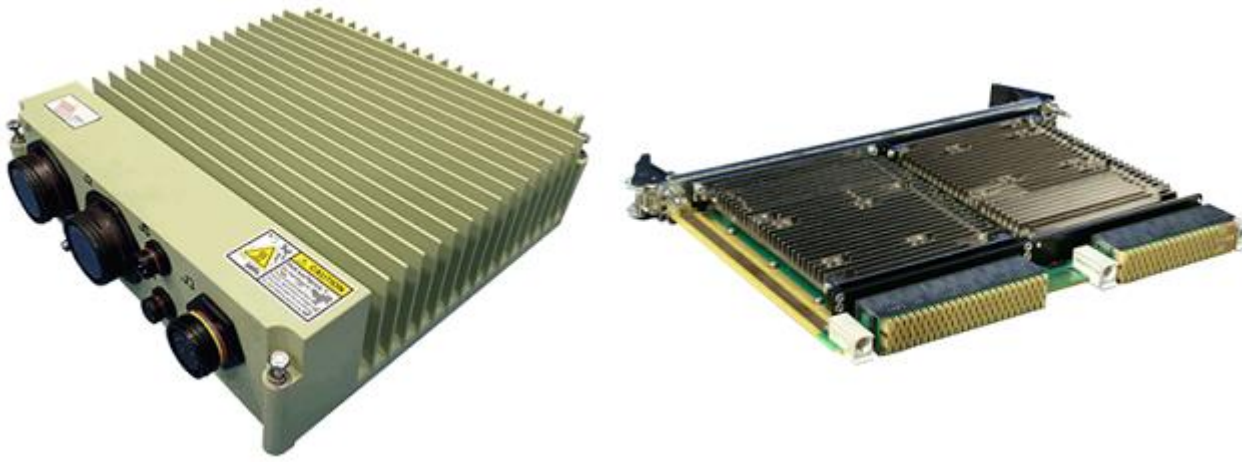
四級優先權

採用消息和門鈴方式進行有效的處理器間通信。用於高可靠應用的冗余路由。

SRIO 在建立多處理器系統時，與同類產品相比較有很多不同。SRIO 為點對點通信設計，支援定址模型，支援消息傳輸等方式確保高效、快速的資料傳輸。串列 RapidIO 系統可以構造任意拓撲結構，這對構建變化多端的資料流程 DSP 系統是非常重要的。

最近軍事及航空信號處理市場最重要的變化是 VPX 模組格式的引入。VPX 格式協定（包含 VITA 46 及附件 VPXREDI/ VITA 48）利用現代高速序列介面的性能，建立了一個新的 COST 標準。VSO 組織標準定義了 VME-以及 cPCI-相容的 3U-和 6U-尺寸模型，使用當今高速串列網路比如說 SRIO 的信號速度的現代背板連接器。VPX 標準基於"核心網路"連接器的概念，充當板間通信媒介，也就是我們常說的"交換串列背板"。在 VPX 中，核心網路包含 4 個四通道 SRIO 口。在 SRIO 3.125 Gb/s 的信號速率時，VPX 板可以訪問 5 Gbytes/s 發送和 5 Gbytes/s 接收，總共 10 Gbytes/s 的通信頻寬。當前，幾個領先的嵌入式廠商包括 Curtiss-Wright 已經發佈基於 SRIO 連接的 VPX 產品。標準的 6U 格式

➤ [VPX6-6902](#) ➤ [VPX6-6900](#) ➤ [VPX6-185](#) ➤ [MFC700](#) ➤ [VPX6-1957](#) ➤ [VPX6-684](#)



2.3 PCI Express: 高性能介面

PCIe 介面普遍應用于商用桌面電腦，筆記本及伺服器中。在大量 PC 應用中，PCIe 的普及有助於降低 PCIe 交換晶片和 PCIe 週邊設備的成本。尤其最近，PCIe 開始移植到先進的單板電腦和數位訊號處理器模組中，部署於軍用及航空應用設計中。由於在 PC 市場的普及，使得低成本成為優勢，技術上說，PCIe 確實是一種先進的連接技術。它的主要特性包括：



PCIe=XMC，PCI=PMC [VPX3-215 3U VPX Carrier Card for PMC/XMC Modules](#)

點對點通信：每個連結（點對點連接）可由 1，2，4，8，16，或者 32 通道組成。

每個 lane 由一個傳輸和一個接收對兒組成，發信為 2.5Gband，理論上資料速率為每通道每方向 250Mbytes/s，或 8 通道總合資料速率為 4 Gbytes/s。

每個資料位元採用 8B/10B 編碼和每個資訊包端對端 CRC 提供充分的錯誤校驗。

它的資訊包承認協定，在錯誤時自動重發，提供端對端可靠資料傳輸不需要軟體控制。

資料流程劃分優先次序

它的實體層強制位不規則性來降低 EMI（消除長序列 1 或者 0，目的是消除長電平，強制方波）

它的電信號層採用了 pre-emphasis/de-emphasis 來優化信號完整性，允許低印刷電路和接頭原料成本

商業 PC 市場出現了基於 PCIe 的各種各樣的板子，這些基於 PCIe 的模組的標準包括：

標準桌面 PC 的 PCI Express 卡

ExpressCard 模組將替代現今的 PCMCIA。

PICMG 3.4 (PCIe on AdvancedTCA)

PICMG EXP.0 (CompactPCI Express)

PICMG AMC.1 (PCIe on Advanced Mezzanine Card)

EPIC Express 標準，來自 PC/104 Consortium

由 VITA 標準組織(VSO)定義的，廣泛應用於嵌入式軍事/航空領域中，基於 PCIe 的模組標準，以前發佈了幾個版本。包括先前提及的 VPX 和 VITA 42。VITA 42（也稱為 VMC“交換 Mezzanine 卡”）是廣泛應用在 VME 和 CompactPCI PMC 格式的擴展。VITA42 通過在模組上增加兩個高速接頭，擴展了最初的 PMC 協定，VITA42.3 補充協定定義了 PCIe 到新的 XMC 接頭的映射。這樣，相容 VITA42.3-主卡和 mezzanine 卡可以通過 PCIe 進行多個 gigabyte/s 交換資料，VITA42 可以應用於諸如高解析度圖像引擎和 G sample/秒類比的資料獲取模組等高級應用。

新的 VPX 模組標準同樣採用了 PCIe。圖 4 是代表性的 VPX 模組，圖解了 Tyco Multigig RT2 背板接頭和兩個 VITA XMC 插槽。

3. PowerPC 處理器

➤ [HPE720](#)

➤ [VPX3-453](#)

➤ [CHAMP-AV6](#)

➤ [VPX6-185](#)

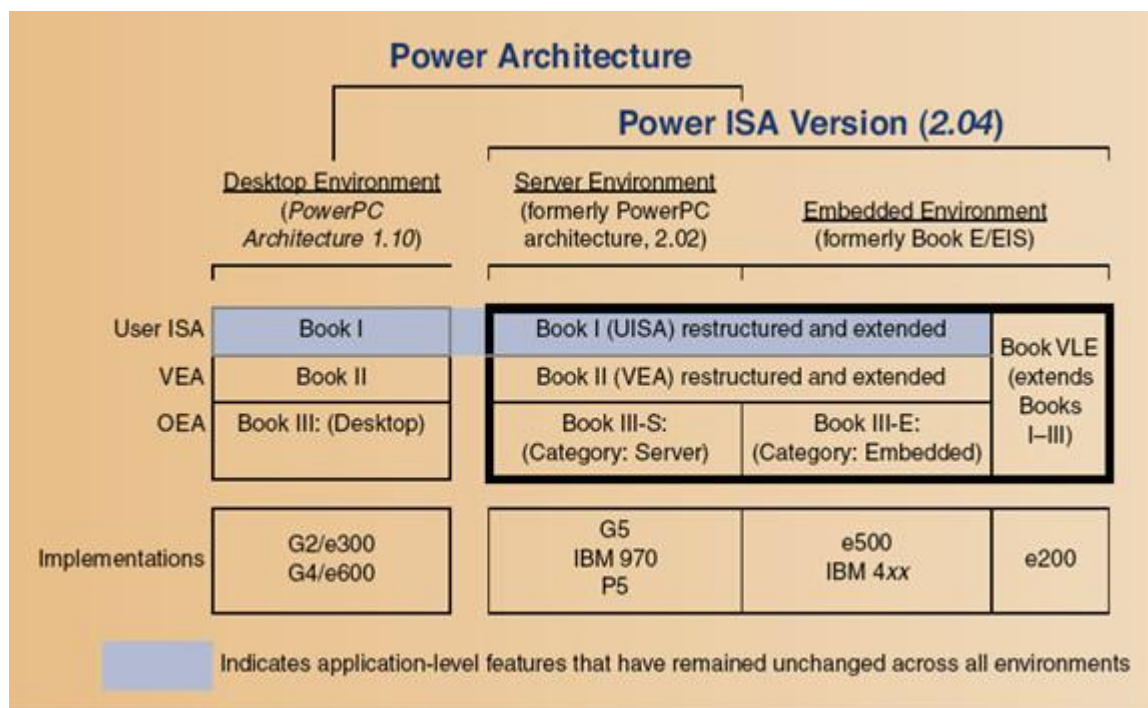
如今國防和航空系統設計師們在選擇他們下一代 DSP 系統結構時有著很多的選擇。DSP 和通用處理器市場充斥著各種構架的處理器，包括 MIPS, X86, ARM 和 Power 構架等產品，他們擁有不同的性能、功

率和價格。在眾多選擇中，Power 構架成為了能滿足軍用航空系統需求的少數處理器之一。為什麼這個 90 年代初才引入的構架能一直牢牢把握這個特殊市場呢？他未來還能一直領導這個市場嗎？Power 構架的演變過程瞄準嵌入式應用，一直保持低功率、高性能的特點。該構架還將繼續演變，以適應未來更複雜的應用。

3.1 PowerPC 構架的演變

最初的 PowerPC 構架是由蘋果，IBM 和摩托羅拉公司共同研製的，他針對 IBM 公司的 RISC(Power) 構架處理器進行了優化和增強。雖然最早的 PowerPC 構架針對桌面系統，但是他優化了指令系統結構（ISAs），使其適用不同的應用。Book E 是其 ISA 指令集之一，他是針對嵌入式市場設計的指令集。他只包括一條 Book，性能和功耗在嵌入式應用市場是同樣的重要，該指令集很好的平衡了這兩者，使處理器能夠應用到 A&D 系統。從那時起，向量處理和電源管理的創新使得 PowerPC 構架又演化成 Power 構架，嵌入式系統設計師能夠平衡性能和功率因素。

AltVec 單指令多資料（SIMD）指令集是重要改進之一，並最終使其演化成 Power 構架。這個擴展功能於 1999 年引入，AltVec 作為 MPC74xx 處理器的一部分，蘋果公司的 G4 Macintosh 系列電腦採用了這款處理器。這個革命也為 DSP 世界帶來了突破，使用者除了專用 DSP 晶片有更多的選擇，因為 AltVec 技術使得處理器內核進行向量處理。許多軍事應用要求支援浮點運算，AltiVec 技術可以提供，因為富電源算比定點運算效率更高，但一般需要額外的硬體。軍事和航空應用不像一般的電子應用對成本非常敏感，這些應用對執行效率和支持浮點運算提出更高的要求。有趣的是直到 Power.Org 官方將 AltiVec 寫進 ISA2.0.3 發佈版本，在這之前他從來就沒有作為 PowerPC 構架的一部分。



表一

今天，對於很多航空和國防 DSP 應用，AltVec 技術都是一種標準的實現方法。他支援多種即時操作系統。專用 DSP 晶片由於不支援標準的即時操作系統，採用專用 DSP 晶片比 Power 構架技術程式設計更加困難。Power 構架允許系統集成師利用大量的協力廠商供應商提供的高級的工具。

Power 構架另外一個重要的優點是低功耗。隨著需求的增長，要求在 VME 和 VPX 系統中有限空間內部署更多的處理器，Power 構架技術開發商開始在一個晶片內集成更多的處理器內核。例如 Freescale 的 MPC8641D 雙核處理器就是這樣的處理器。雙核處理器可以釋放出雙倍的性能，但與兩個單核處理器比較卻降低了電源消耗。將更多的功能集成到一個晶片，板子上晶片數量降低從而提高了可靠性和性能。這也節約了板子空間，要知道板子空間對軍事和航空設計師是非常重要的。另外，這樣可以解決更高級的系統功率，因為單個晶片更強大，集成更多的功能。

3.2 今天 A&D 應用的革命

Power 構架技術在不斷的演化，滿足 SwaP（空間，重量和功率）日益增長的需求，適應雷達和信號處理等應用。我們可以發現 Power 構架技術關鍵的改進在於包含多個記憶體控制器。這些內置的記憶體控制器，降低了傳輸延遲，增加記憶體匯流排的頻寬，從而提高了系統的速度。這在大量消耗 DRAM 開款的 DSP 系統中非常重要，因為這樣的系統總是頻繁的從 DRAM 中讀數據，處理大量的輸入資料。當高性能內核等待從記憶體讀取輸入資料時是不工作的，此時沒有處理資料的能力。例如 [HPE720](#) 引擎使用 Power 構架技術的 MPC8640D 處理器。採用 DDR3 記憶體橋片，驅動 125MHz DDR 記憶體介面，峰值 2GB/s。最新的 VPX DSP 引擎使用 DDR2 記憶體，以兩倍速度運行，並且擁有兩個 bank(Discovery III 一個)，這樣記憶體速度提高了 4 倍。

隨著應用需求的不斷變化，影像處理系統需要龐大的、可升級的多處理器系統。Power 構架技術與 x86 構架處理器比較最大的優點在於內置支援 Serial RapidIO 互聯技術。Serial RapidIO 互聯不像 GbE 和 PCIe 互聯，他可以組建仲裁拓撲網路。Serial RapidIO 使用終端和交換模式，是一種真正的點到點多處理網路技術。終端是處理器自己，他通過連結一個或多個 Serial RapidIO 交換器與其他終端通信。這些終端和交換器共同構成 Serial RapidIO 網路或互聯。

Serial RapidIO 不像其他互聯技術，他不要求使用專門的拓撲結構，這是非常靈活的，能夠組建很大的系統，最多可達 65536 個節點，這遠遠超出絕大多數 COST 系統需求。在多處理器應用中，理想的假定是系統中的處理器高速、平等的彼此互聯，沒有一個處理器具有特殊屬性，不像 PCI/PCI Express 系統，有一個處理器作為根節點。MPC8641D 的 Serial RapidIO 介面和支援 Serial RapidIO 的交換晶片，使得板子設計師採用新 VPX(VITA46)標準發揮頻寬優勢。

3.3 展望 Power 構架的未來

帶著嵌入式市場的背景，Power 構架在 A&D 市場已經有了很長的歷史。Power.Org 組織於 2004 年被授權負責制定構架的開放標準和規範，Power 構架技術的未來在很大程度上依賴於該組織。Power ISA 2.03 已經發佈了，向廣大 Power 構架的開發商和最終使用者提供了相應的路徑。

雖然系統設計師在集成系統的過程中有很多的選擇，但是 Power 構架具有許多關鍵性的優點，這些優點有助於簡化板子的設計，降低功耗，提高複雜 DSP 應用的頻寬。在過去，Power 構架技術是低功率、高性能處理器，廣泛用於國防、航空系統，它未來的發展是將向量處理，多記憶體控制器以及 Serial RapidIO 等交換互聯技術結合在一起，形成一個高度集成的解決方案。它的發展還將為設計師們節省空間、降低重量和功耗，而這些恰恰是國防、航空系統的關鍵。可以預見，Power 構架在未來的國防、航空 DSP 設計中仍將是最重要的處理器構架。

4. VPX 與 VME, VXS 區別

很快迎來 25 周年的紀念，古老的 VMEBus 仍然不斷演變以滿足當前和下一代系統的需求。VITA41 協議在保留 VME32/VME64 同時擴展了切換式網路互聯。VITA46 採用了一百多個串列 I/O，取代了傳統的平行匯流排。VITA48 增加了一些功能來實現二級維護，同時定義了液冷散熱。

由於新的嵌入式國防和航空應用的出現，對頻寬和散熱技術提出了更高的要求。為了滿足這些要求，近日開發出了新型主機板結構協定。其中三個最重要的新型協議是 VITA 41 VMEbus Switched Serial Standard (VXS)，VITA 46 和有關協議，以及 VITA 48 Enhanced Ruggedized Design Implementation (ERDI)。

為了說明系統使用者理解這些新協定獨特的優勢和真實的差異，這裡幫您比較一下他們多樣的特性並突出每一個協議想要解決的問題。系統使用者在選擇一個系統架構時必須考慮的主要技術差異包括：

物理環境

處理器需求和系統內頻寬

外部系統頻寬和連接

保存過去的研發成果以及未來驗證

技術實用性和成本

總的來看，我們需要特別關注背板連接。因為基本規範 VME64X 仍然是一個非常重要的技術並仍將使用很多年，我們也同樣需要檢驗如何建立一個 VXS，VITA46，和 VITA48 系統並將其帶入 VME64X。

4.1 廣泛使用的 VME

以上所有的三種新協議都相容老的 VME 產品，這得使用者可以利用以前開發的主機板和軟體，節約成本。

現今，VME 匯流排技術在非常廣闊的領域內應用，包括：

圖像(醫療，軍事)

工業控制

視頻處理

模擬器(飛行，導彈)

雷達/聲納

電子情報

任務電腦

電信系統

不同應用領域有不同的需求。雷達系統可能需要放置在風冷環境或者噴氣式戰鬥機的前端。任務電腦可以簡單的收集、記錄多個 1553 介面的輸入，也可以接收多個前視紅外線(FILIR)圖像，分析並顯示在多功能顯示器上。電信系統可能需要所有的 I/O 在前面板，這樣系統可以背對背放置在設備架子上，也可能需要所有 I/O 連接走背板佈線保證整潔的面板，這樣可以迅速確定系統中出問題的卡加以替換，從而降低平均返修時間(MTTR)。

在空氣流通或環境良好的環境中中，使用風冷 1101.10 機械協定。然而，在惡劣的環境，例如噴氣式戰鬥機的前端需要使用導冷協定 1101.2。



在系統內部頻寬需求比較低時，協定 VME 匯流排就可以提供很好的解決方案。然而，當資料頻寬很高時，例如多視頻顯示系統，或者在多處理器間有高運算負載和資料共用系統中，可以在 VME 匯流排主卡的 J2 連接器上增加二級資料匯流排例如 RACEway，StarFabric 或者 SKYChannel 來提供額外的頻寬。但是，這種方式佔用了其他 I/O 的背板插針，例如 PMC I/O，1553，串列通道，GigE，以及其他的 I/O 協議。不幸的是，使用者沒有任何協議格式供參考，使用這些二級匯流排。

VITA 41，VITA 46 和 VITA 48 協議為解決這些設計難題而制定的。然而，每個協議集中，解決這些 I/O 問題都有所不同。

4.2 VITA 41

VITA 41 是為了滿足高速資料匯流排需求，為 10 GigE，Serial RapidIO，PCI Express，和高級轉換連接等下一代高速串列互聯開發的協定。這些串列協定的共同特點是都可以運行在 2 Gbps。在這樣的速度下，標準的 VME 匯流排連接器不能工作的。

與此同時，VITA 41 特別注意了與老的 VME 硬體和老的 VME 主機板的相容問題。VITA 41 背板仍然採用 J1 和 J2 連接器作為傳統的 VMEbus，不同的是它採用 Tyco 公司的 7 排 RT2 連接器代替原來的 J0 連接器。RT2 連接器是一個高速差分連接器，提供 30 個差分對兒，其中 16 對兒作為高速連接定義。J0 其它插針，其中一個針用於支持 live insertion，剩下的保留將來使用(RFU)。

圖 1 展示了 20 插槽的背板，背板上擁有兩個交換卡。VITA 41 卡採用一個中央交換調度（晶片）進行板間通信。16 對差分信號被分為兩個雙向 4 通道序列埠。一個埠都連接 VITA 41 背板其中一個交換卡上，另一個埠解決連接到另一個交換卡上。這樣在其中一個集中交換模組失效時，還有另一個冗餘通信路徑。

研祥智慧科技股份有限公司可以提供 VITA-41，用在客戶定制背板上。這可以滿足需要很高頻寬的應用，超出老的 VME 匯流排 P0 連接器 2 Gbaud 的限制。

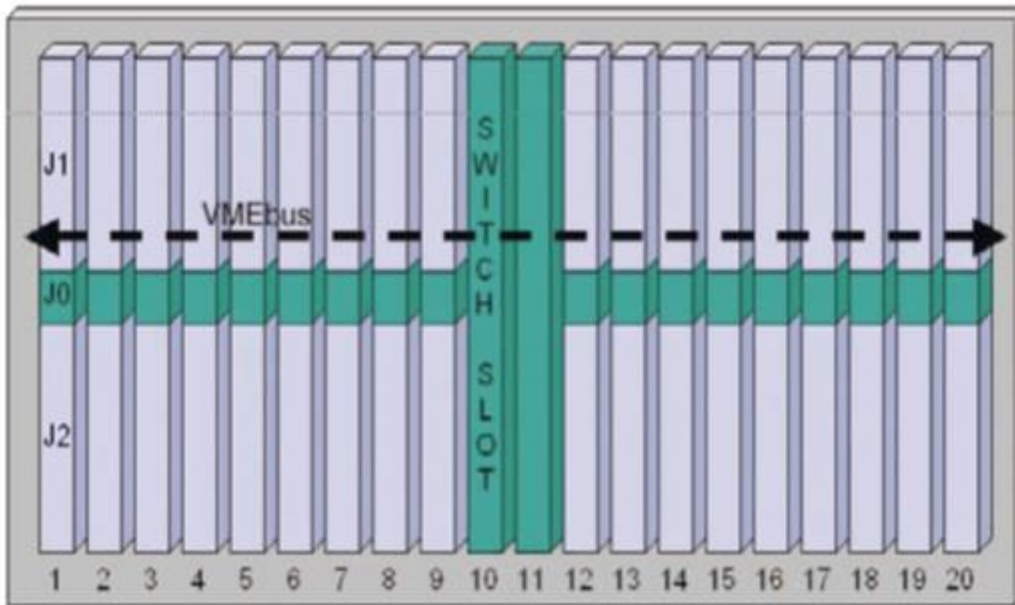


圖 1

VITA-41 Recorder VR-511S8.html

4.3 VITA 46

VITA 46 協定使用了類似又不盡相同的方式來解決頻寬問題（參看圖 2）。相同之處在於它使用 RT2 連接器，但不同的是，所有連接器都使用 RT2 連接器，因此使得所有的連接都支援高速差分信號。VITA 46 協議在 J2 定義了 32 個差分 I/O 對兒，而 VITA 41 值定義了 16 對兒。

這種結構提供了一些很有趣的能力。VITA 41 設計為雙冗餘中央交換，而 VITA 46 允許用戶設計出分散式的網狀交換系統，因此不會出現由於單獨路徑，或者模組的失效而導致系統癱瘓的情況。圖 2 展示 4 個 4 通道埠連接到各個模組。當每個通道運行在 3.125 Gbaud 時，每個埠的雙向頻寬為 2.5 Gbps（由於 8B/10B 解碼會有 20%的佔用）。網狀拓撲的優勢在於能夠開發出更緊湊、佔用更小空間的系統，因為不再需要 VITA 41 中的兩個中心交換槽了。

在嘗試提升 VME 匯流排模組的頻寬能力過程中，VITA 41 使用高速差分 RT2 連接器代替了 VME 匯流排 J0 連接器。然而，這導致了用戶 I/O 針的數量大大減少，從 205 減少到 110。VITA 46 通過替換 VME 匯流排 J0 和 J1 連接器，全部採用 RT2 連接器，在圖 2 中表出。這樣做有很明顯的優勢。最重要的優勢是使用 VITA46，用戶的 I/O 數量從 VITA 41 的 110 個針增加到 272 個針。並且，這 272 個針中有 256 個是自訂的高速差分對兒，每個的資料傳輸速率可達 10 Gbps。

為了利用這些附加的用戶 I/O 針，VITA46.9 定義了 XMC 和 PMC 使用者針的協定映射。（XMC 和 PMC User I/O Mapping for VITA 46）。

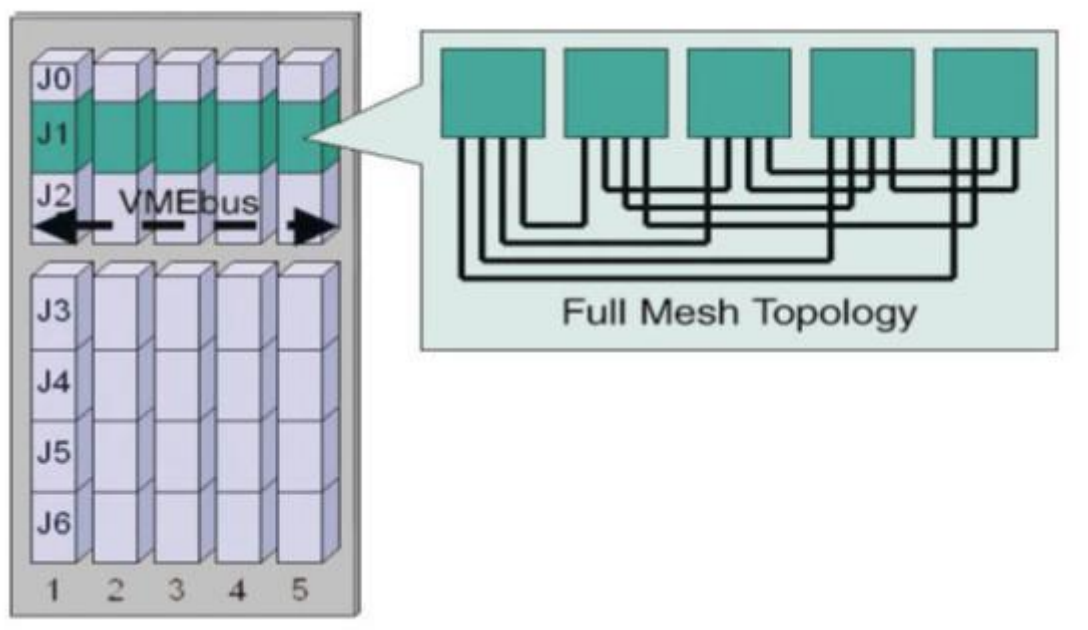


圖 2

VITA 46 還有一個超過 VITA 41 的優勢。VITA 46 其中的一個連接器 P0，被設計為功能連接器。功能連接器連接電源，維護匯流排，和測試匯流排。電源支持：48 V @ 16 A 或者 12 V @ 32 A，作為高功耗卡的主電源。

5 V @ 16 A 作為低功耗卡的主電源

+12 V @ 2 A 作為類比以及 PMC 電壓

12 V @ 2 A 作為類比和 PMC 電壓

3.3 V @ 2 A 作為輔助電源使用

[Open-Architecture](#)

4.4 向後相容

構造有效率系統的插槽數越多，就需要更多使用者 I/O，有多種向後相容的方案。VITA 41 和 VITA 46 都需要一個新的系統背板。VITA 41 向後相容的方案是使用傳統的 VME 卡，但不使用 VME 匯流排上的 J0 連接器：VITA41 採用 VME 協定的 J1 和 J2 連接器與老的 VME 匯流排卡通信。在這點上兩個協議都是同樣的。而 VITA46 的方案是使用一個混合背板，允許老的 VME 匯流排卡插入到系統中。圖 3 展示了混合背板，該背板有五個老的 VME 槽和 5 個 VITA 46 槽。在 VITA 46 混合背板上，VITA46 連接器和老的 VME 匯流排間通信遵循 VITA46.1（VITA 46 的 VMEbus 匯流排映射）。

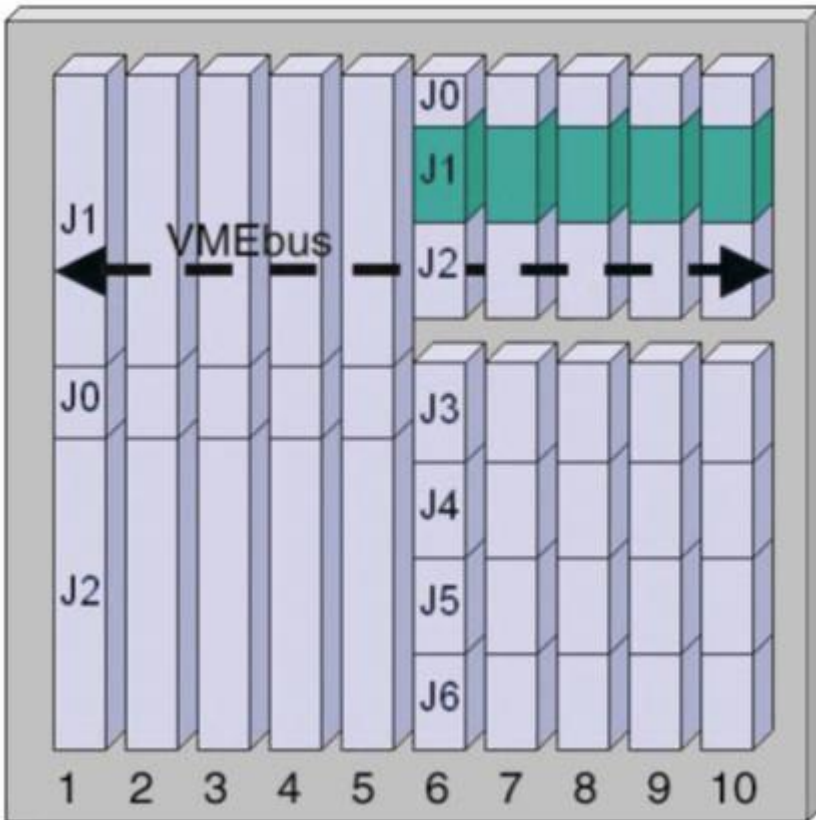


圖 3

VITA41 背板通過放棄 VME 匯流排 J0 連接器的方式，為老的 VME 卡提供相容。如果老的卡使用 J0 連接器，VITA46 背板必須要做一些修改，將老的 VME 匯流排模組與 VITA41 模組連結在一起。

4.5 3U VITA 46

VITA46 背板擁有更多的插針數量，這一優點特別使用在小型系統中。

老的的 3U VME 匯流排系統不提供任何背板用戶 I/O。VITA46 協定提供給系統使用者 3U 解決方案，在 VITA46 匯流排 J1 上給使用者提供網狀拓撲，允許用戶使用 J2 作為用戶 I/O。

VITA46 的 J2 採用的 RT2 查分連接器提供客戶 72 個使用者 IO 針。

4.6 VITA 48

VITA 48 從本質上來說，是一個板型協議，補充了 VITA46 協議的其他功能。它採用 VITA 46 協定相同的連接器，並提供所有相同的頻寬和用戶 I/O。除此之外，VITA48 定義了二級維護協議，通過利用頂蓋來保護模組電路。它同樣定義了先進的製冷技術，例如液體循環製冷理論。

為了得到這些優勢，VITA 48 定義了每個模組的槽間距為 1" (從 0.8"增加到)。通過允許 VITA 46 模組插入 VITA48 背板和主機殼，來實現向後相容。

4.7 總結

三個新出現的協議各自有各自的特點，來解決不同的系統需求。表 1 將這些特性列出。

VME 匯流排適用於系統內不頻寬要求不高的系統，他在將來的很多年都會繼續發展及應用。

VITA 41 適合於需要比較高的系統內部頻寬，同時不需要很多的背板 I/O，系統物理空間也不受到限制的應用，這些系統多使用前面板 I/O。

VITA 46 適合於比較高的系統內部和背板頻寬，同時在背板上需要大量的使用者 I/O 針。VITA 46 非常適合於系統物理尺寸受到限制的應用，3U VITA 46 可在背板上提供用戶 I/O，而 VITA41 和 VME 匯流排沒有。

VITA 48 也同樣適合於比較高系統內部和背板頻寬，需要大量的使用者 I/O 針的應用。然而，他的區別在於它為高功耗主機板提供液體循環製冷機制。

5. 採用基於 VPX 匯流排的系統迎接航空任務計算應用的挑戰

任務計算應用要求背板構架能夠在惡劣的軍事和航空環境中工作，並且能夠為不同的系統提供可靠平臺。最新的 VPX 背板標準使得系統集成商能夠在加固平臺上使用最最先進的技術。

在眾多加固的、開放的嵌入式計算模組構建應用中，航空任務計算應用無疑是系統集成商們最具挑戰的應用，任務電腦是軟體高度密集的系統，他必須在惡劣的飛機工作環境下處理種類繁多的 I/O，並提供可靠的操作。如今，系統集成商可以使用最新的 VPX(VITA46)背板標準，利用現代的串列高速互聯通信，提供眾多高速 I/O 信號，實現這些目標。並且，VPX 已經成功的通過了複雜的環境認證過程。

5.1 任務計算的挑戰

無論是一個升級專案或是一個新的飛機系統，任務電腦都需要解決下面最常見的問題：

很多的 I/O

通過配合多處理方案，提供強大的計算能力

有限的尺寸和重量限制

在惡劣的航空環境下工作

在電路板級支持二級維護的概念

要求支持多種 I/O

很多 I/O 的需求

任務電腦需要連接大量的系統，包括資料感測器（空速，高速，系統狀態），導航子系統，敵我識別單元，雷達，導彈報警感測器，電子戰感測器，光電/紅外感測器視頻，網路資料連，飛行人機界面輸入，座艙顯示，大型存放區介面，以及一些其他的設備。事實上，複雜的任務電腦需要連接 20-30 個不同系統。這些不同的資料介面使用不同的電信號級（RS-422, MIL-STD-1553, Fibre Channel, Ethernet, ARINC-429, DVI, 使用者自訂高速介面等）。

RS-422 和 MIL-STD-1553 等老的匯流排標準仍然在使用，與此同時，用於高解析度數位視訊傳輸的 DVI 以及用於大型存放區的 Serial ATA 等較新的標準，也越來越多的採用，使得信號速率到達 multi-gigabit 範圍內。需要數以百計的 I/O 信號——這些信號中 1Gbps 或者更大的資料吞吐率的 I/O 越來越多，這極大的衝擊著傳統的任務計算系統。所有的這些 I/O 信號需要散佈在系統內不同板級模組中。為了避免在系統中增加額外的專用 I/O 模組，板級 I/O 數量增長承受著巨大的壓力。

5.2 多處理器方案滿足強大處理需求

現今，現代航空電子任務計算是一種軟體最複雜，嵌入式即時應用。操作飛行程式（Operational Flight Program, OFP）是由系統多功能屬性驅動的，極為複雜的程式，他涉及眾多工業領域，包括很多的資料來源接收器，以及數百個處理任務。表一列出了主要的處理任務。

任務計算應用的複雜性還在於涉及很多處理類型，他們包括：

需要在某個固定的時間進行週期處理，例如 60MHz 的顯示刷新率處理

需要進行非同步的，基於需求的處理，例如處理飛行或資料鏈輸入

需要高計算量的處理，例如視頻處理

一些任務包含綜合的，有限狀態機邏輯

據估計，像 F-16, F-18 等先進飛機的 OFP 程式大小，其原始程式碼高達 5 百萬行。

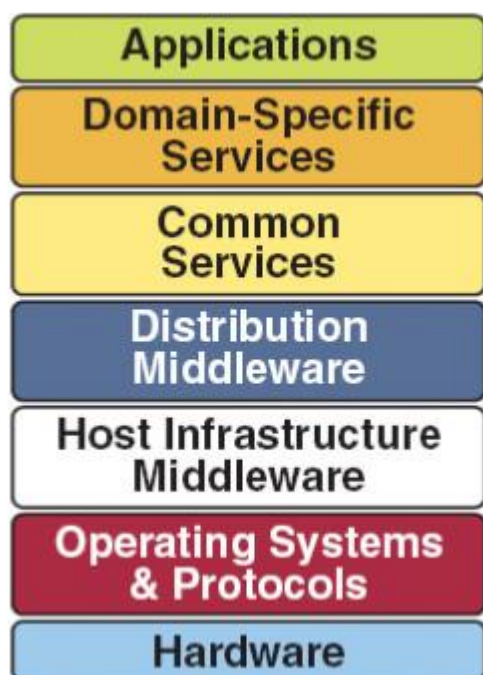
Typical Operational Flight Program (OFP) elements

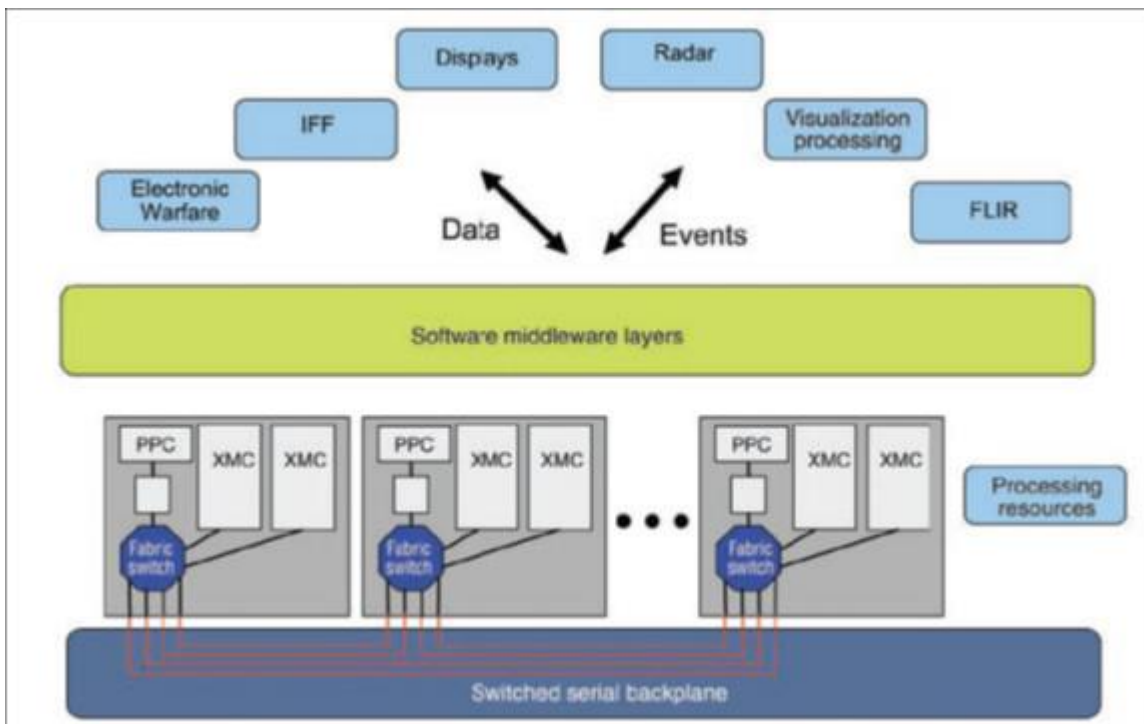
Function	Processing task
Sensor control	Turning sensor on/off, checking BIT status, aiming steerable sensors such as radar, and selecting sensor processing options such as IR sensor gain and sensitivity
Display generation (four to eight high-resolution displays)	Displaying data encompassing platform status, maps, situation displays, weapons aiming marks, and complex visualizations such as 3D terrain elevation models
Weapons management	Selecting weapon and loading target coordinates
Threat assessment	Completing dynamic flight-path computations
Datalink interfacing	Including TCP/IP processing for IP-over-Ethernet traffic

5.3 系統的需求

進行這些處理需要多個處理器協調工作，OFP 也必須拆成小的，易於管理的模組，方便維護和升級。任務計算的工程師們必將引領物件導向程式設計技術和用於資料共用的中介軟體的發展。圖一展示了任務電腦軟體用到的經典軟體分層方法。這些軟體層次進一步增加了處理量，對於多處理解決方案需要更強大的計算能力。

基於多處理解決方案，需要處理器間高效的通信手段，目前，通過在硬體層支援軟體層用到的邏輯中介軟體匯流排實現，如圖二所示。高性能，低延遲以及開放標準等特徵也是受任務電腦開發工程師青睞的。這些特徵可以通過在背板加入 Serial RapidIO 和 Advanced Switching Interconnect (ASI) 等互聯利用現代高速互聯技術，滿足工程師們的要求。





5.4 尺寸和重量的限制

無論是超音速戰鬥機還是攻擊直升機，發送攻擊，超高的機動能力，任務電腦總是引領飛機在格鬥範圍內戰鬥。這迫使系統集成師尋找能夠降低最終系統尺寸和重量的匯流排結構。對於升級現有飛機的電子設備，任務電腦必須採用傳統的空間尺寸來實現新功能，這個尺寸一般是 **ATR** 標準大小。

5.5 惡劣環境下的性能

除了處理眾多 I/O，提供強大的處理能力，以及尺寸和重量限制外，系統集成師們設計的任務電腦必須在軍用戰術航空器中遇到的極端溫度，衝擊和振動的環境下仍能可靠的工作。振動一般在飛機是非常普遍的，他包括結構振動，引擎振動，槍炮振動，直升機主要是螺旋槳旋轉振動，產生的總共隨機振動負載大約是 **20G RMS** 或者更高。這要求內部的電路板與背板連結器連結足夠緊密。

貫穿整個可更換模組的二級維護

一般認為，在整個生命週期內維護一個複雜的武器系統需要的成本要比最初裝備成本高好幾倍。維護系統成本的很大一部分是維修成本——這不僅僅包括實際的維修，還包括返修運輸與備用件儲備的後勤保障成本。

在軍事服務中，通過直接在平臺上拆除和更換可插拔處理板、I/O 板等系統模組，減輕後勤保障負擔的方法逐漸成為主流思想。這消除了傳統的首先拆除系統級黑盒子，然後把它運回庫房以備後續更換可插拔電路板的一步驟。圍繞 **Line-Replaceable Modules (LRMs)** 這個概念設計出的系統，在 **LRM** 級儲備備用件，取代了傳統的在主機殼級儲備備用件。儲備備用件的成本、數量和重量將會減少。

5.6 新 VPX 標準將會給我們帶來什麼？

VPX 標準為滿足客戶軍用、航空嵌入式計算系統的需要，支援系統級設計，他解決了任務電腦應用面臨的諸多挑戰。

VPX 背板結構的主要元素包括：

基於 Tyco 公司開發的 7 排 RT-2 MultiGiga 連接器設計的高級連接器系統，他提供更多 I/O，支援高速的串列連結，以及包含 ESD（靜電）保護結構

基於標準的 0.8 英寸厚度的 3U 和 6U 模組兒

擴展結構格式 VPX-REDI(VITA-48)標準提供了一個頂蓋兒和一個底蓋兒，他與 VPX 與一起使得模組應用二級維護環境

FPGA 應用於流處理——是很自然的選擇

輸入信號或圖像資料的高性能流處理，要求 FPGA 能夠進行可重配置（reconfigurable）計算，同時能夠進行系統及設計，並能解決成本問題。

6. FPGA 應用於流處理

許多軍事和航空應用都要求對即時資料流，或圖像資料流進行高速處理。I/O 流處理一般包括濾波，信號調整，校驗和採集。雖然一些流處理應用採用專用 ASIC 晶片，但是他非常不靈活，並且需要很長的设计週期和昂貴的成本，所以不是一個理想的解決方案。此外，為了滿足處理需要，流處理應用一般需要解決系統問題，例如尺寸大小，重量，功率，開發週期，現場升級和重配置。

多計算系統一般採用具有靈活的通信網路，基於該系統中的 RISC 或 DSP 處理器，用於流處理系統是很自然的選擇。但是，迫于系統成本的壓力，國防和航空客戶只能使用 RISC 或 DSP 處理器搭建他們的系統。而現代的 FPGA 擁有可重配置，很多的邏輯門數量，DSP 單元和內置高速穿行口等優點，使得客戶擁有更多的選擇。

6.1 流處理系統的特點

在一些流處理應用中，除了有一些回饋資訊需要從後期處理階段傳回前期處理階段，資料流程動的主要方向還是單向流動。前期處理階段更接近 DSP 處理，而後期處理更接近於符號處理。處理類型的不同，每個處理階段使用的硬體有所區別，請參考表 1

基於多計算系統的流處理是不同的。他包括 I/O 板（感測器介面或模數轉換），FPGA 處理板，用於浮點 DSP 運算和其他通用計算的四-PowerPC 板，以及用於控制和設備 I/O 的單板電腦。請參考圖一。FPGA 計算引擎通過專用的串列連結連結系統輸入裝置。交換通信網路連結不同的處理單元。

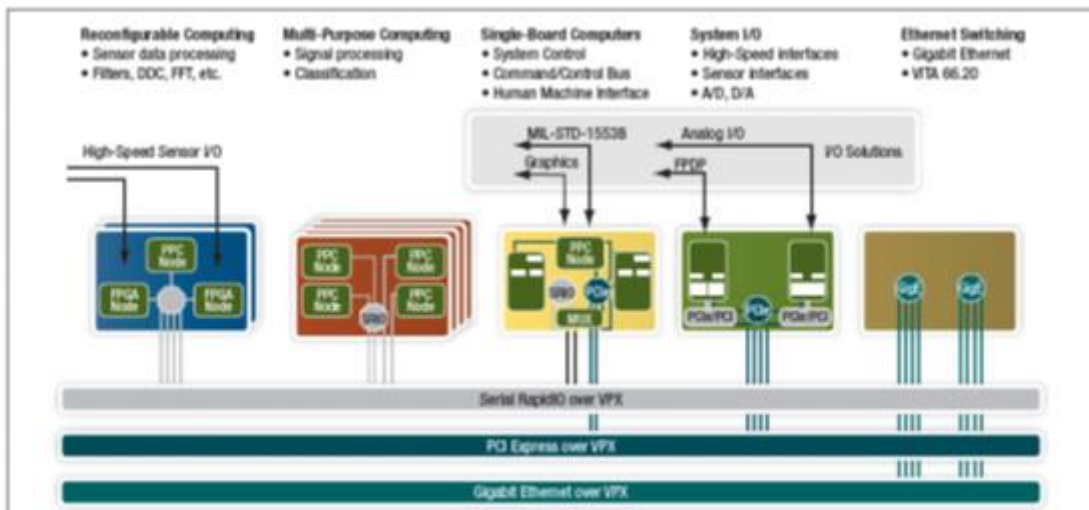


Figure 1

In a typical stream computing system, I/O and processing elements are connected by one or more connection fabrics. Here, FPGA- and PowerPC-based computing elements are linked with different I/O options via Serial RapidIO for interprocessor communications, PCI Express for I/O and Gigabit Ethernet for control.

圖一

Task	Processing Stage	Characteristics	Processor Type
Signal conditioning, filtering, digital down conversion, sensor correction, backprojection	Early	Fixed-point, some floating-point	FPGA, Fixed-Point DSP
Beamforming, image convolution	Early/Mid	Fixed or Float	FPGA, Fixed-Point DSP, PowerPC, x86
Image convolution	Early/Mid	Fixed or Float	FPGA, Fixed-Point DSP, PowerPC, x86
SAR image formation, image segmentation, moving target indication, target tracking	Mid	Floating Point	PowerPC, x86, Floating-Point DSP
Target classification	Mid/Late	Symbolic	PowerPC, x86
Sensor control, user interface	Late		PowerPC, x86

Table 1

Attributes of the types of processing stages typically found in stream processing systems.

表一

6.2 使用 FPGA 做前期處理

在流處理系統中，現代 FPGA 技術非常適合做前期處理。Xilinx Virtex-5 提供了很大的用戶可用面積，專門的浮點 DSP 單元和高速串口。該 FPGA 採用 65 納米工藝，可以有效的減少漏電電流和靜態功率消耗。65 納米工藝還減少了節點電容，並且採用 1V 核心電壓，這些都有助於減少動態功率消耗。

ExpressFabric 結構擁有增強的查閱資料表 (lookup table, LUT) 結構，該查閱資料表結構有 6 個輸入。DSP48E DSP 塊，擁有 25 個 18-bit 乘法器，增強了 FPGA 浮點運算能力。這些乘法器可以排列成管道或瀑布結構，增加不同濾波器演算法的輸送量。

該 FPGA 的 LXT 版本擁有 24 條高速、低功耗的串列通道，速度從 100Mbps~2.3Gbit/s 不等，支援很多高速串列 I/O 標準。此外，還提供 Aurora 和 RapidIO 協定的軟核，還包括千兆網和 PCI Express 使用的專用硬體模組。

用於流處理應用的商用平臺可以利用 Virtex-5 LXT 系列的高級特性完成高速早期流處理。例如，基於雙 LXT 版本 FPGA 板子的高速串列口可以連接背板，子卡插槽，兩個 FPGA，在這些 I/O 路徑間建立 4 個通道。每個 FPGA 使用 18 對兒 (36 針) 離散 LVDS 信號連結連結背板，用於平行傳輸或自訂 I/O。

板載多個 SRAM 和 SDRAM bank，確保 FPGA 應用能夠擁有足夠的記憶體頻寬用於存儲和訪問濾波器模組，暫存運算資料等。當每個記憶體映射成多口模式時，開發人員擁有很大的靈活進行並行或管道 FPGA 設計。

6.3 將 FPGA 集成到系統中

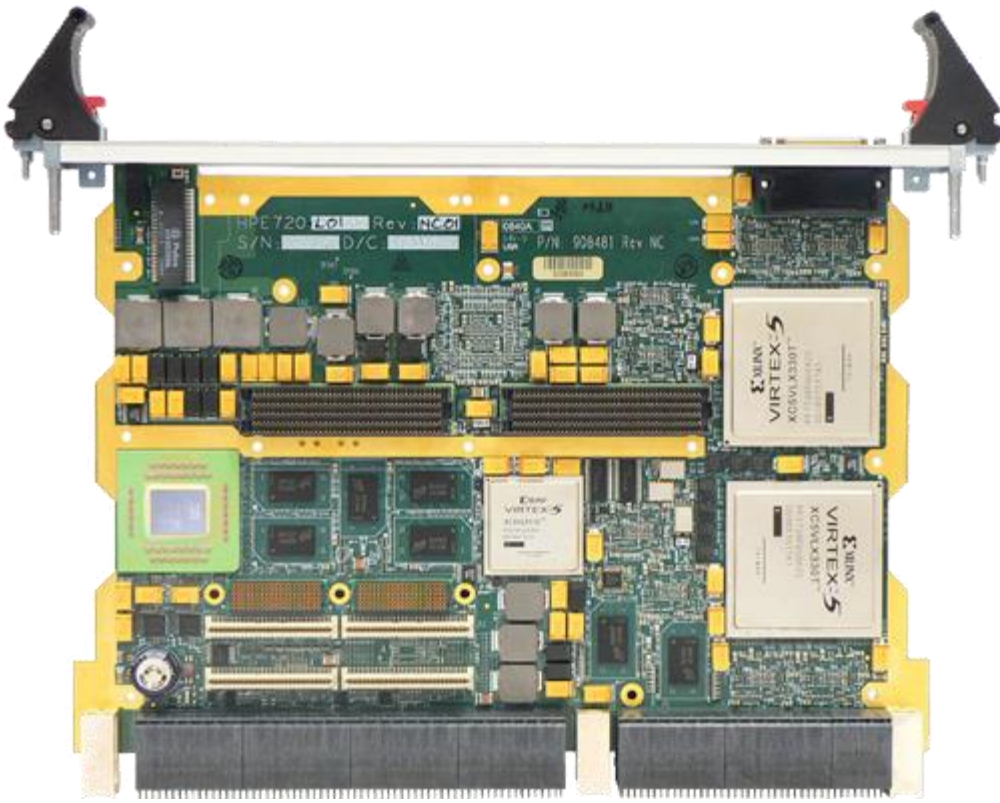
這樣的 FPGA 節點用於前期流處理運算。當該節點物理上連結到包含 DMA 引擎的通信網路時，FPGA 節點缺乏通用處理器管理複雜資料傳輸的靈活性。

例如，DMA 的建立和控制一般由外部的通用處理器節點進行處理。支援 AltiVec 功能的 Power 構架 (PowerPC) Freescale 8641D 處理器，可以完成這些任務。初次還可以完成配置 FPGA、快速重構，處理器間同步任務、動態調整濾波係數等計算參數的功能。

其中許多工經過背面控制匯流排，需要避免打斷 SRIO 匯流排上傳輸的資料流程。這些功能一般通過作業系統或板級支援包(BSP)函式呼叫初始化。或者通過通信中間層進行初始化。

流處理應用中的中期和後期處理階段一般採用 PowerPC 通用處理器處理，板載 PowerPC 處理器，除了處理 FPGA 命令和控制任務，還可以類似四-DSP 或單板機裡的處理器節點，參與中後期處理。這些處理階段通常包含浮點向量計算，使用 8641D 中 AltiVec 單元進行處理。在這個體系中的板載 PowerPC 處理器都會得益于豐富的系統和中間軟體，使用者可以從複雜的集成工作解脫出來，通過抽象出硬體細節，開發出更簡化的應用程式碼。

開發的加固的、商業板子滿足了流處理應用的需求，它採用 6U VPX/VPX-REDI 格式，板子上有兩塊 FPGA 和一個雙核 MPC8640D PowerPC 處理器 (如圖二)。



[HPE720](#)

當流處理應用使用這樣的板子時，一般是採用不間斷迴圈傳輸或者下一個可得處理器傳輸樣式，從 FPGA 向多處理系統中其他處理器發送資料，FPGA 工具集提供驅動和軟體庫，管理這些複雜資料傳輸策略，以及節點配置，溫度和電流感測器管理，匯流排存取控制等板載功能介面，這個工具集還提供 IP 塊庫，模擬環境，BSP，演算法庫和中介軟體等。

[CHAMP-FX2](#) 的 FXtools 工具集中的 IP 庫提供 DMA 引擎。這些引擎有的支援輪轉傳輸。有的支持下一個可得處理器（next-available-processor）傳輸下一個可得處理器一般傳輸採用 PowerPC 驅動的連續鏈 DMA 模型，或者採用資料驅動的 SRIO 終端塊兒模型。因為，這些資料傳輸的建立和控制都非常複雜，所以需要使用通用處理器進行控制。

該板子也支援通信中介軟體，進程間通信（IPC）庫，該庫針對 FPGA 版本的處理引擎進行了擴展，使用戶通過調用 IPC 提供的，相對高層次的 API 函數，管理 FPGA 引擎的資料緩衝區和資料傳輸。IPC 利用命名緩衝區（named buffer），同步和資料傳輸物件，通過掩蓋底層硬體細節的方式，將 IPC 移植到下一代高速串列技術，從而簡化系統集成的工作量。

7. 將 FPGA 和切換式網路應用到系統中

隨著軍事和航空市場的發展，需要在有限的板子空間和電源電源內，設計出更強大的電腦，滿足日益增長的計算需求，這將是一個很大的挑戰。為了滿足更高的需求，將帶有切換式網路的 FPGA 集成到系統中是一個可行的解決方案。

在嵌入式國防和航空領域中，對於相對狹小的嵌入式商業市場，客戶對計算性能需求的增長超過了摩爾定律預言的處理器性能的增長，雷達和智慧信號處理等應用對計算性能要求尤其高。

作為中國領先的特種電腦供應商，研祥智慧科技股份有限公司一直在致力於滿足客戶日益增長的計算需求。除了考慮系統性能的提升，他們還需要考慮成本問題，成本問題往往決定了實際系統裝備數量。以前，在平衡系統性能和有限的資金問題時，客戶總是被迫要麼自己設計晶片，要麼犧牲系統性能和功能。

FPGA 曾經由於成本太高和過於複雜不給於考慮，但是今天，它將提供給客戶更多的種選擇，來滿足性能/功能與應用環境/成本的需求。

隨著計算能力需求的增加，客戶對使用 FPGA 開發性能更強大的應用越來越感興趣。與 ASIC 相比 FPGA 具有相對靈活和可重配置的優點。以前，單個 FPGA 元器件要比積體電路晶片（ASIC）昂貴，而且，FPGA 也不容易集成到一個大的系統中。

直到現在，還有前端 I/O 處理等問題仍然局限著 FPGA 的使用。近些年 COST 供應商進行了一些探索改進 FPGA 產品，包括：增加 FPGA 門數，用於開發和集成用的軟體，這些改進使得 FPGA 越來越流行。圖一展示 Viretex-5 LXT 最新 FPGA，該 FPGA 為不同平臺提供了解決方案。



圖一

作為使用 FPGA 的用戶，在選擇 FPGA 用於應用加速之前，需要考慮很多重要的問題。包括：

演算法是否容易在 FPGA 中實現？

從通用處理器轉移到 FPGA 會給系統帶來哪些好處？

從 FPGA 輸入和輸出的是什麼資料流程？

我該如何將 FPGA 集成到我的大系統中並保證其正常工作？

客戶的這些問題的答案決定如何將基於 **FPGA COST** 解決方案開發的子系統集成進目標系統，快速有效的實現應用演算法。對於系統集成，如果採用 **FPGA** 方案，第一步需要決定這些子系統的構成是否合適，是否能提高系統性能。

有兩個規則指導客戶作出決定：演算法是否大量採用並行處理？演算法是否採用定點運算？例如系統包含 1 維和 2 維卷積運算，有很多的濾波器（**FIR, IIR, comb** 等），矩陣分解，數位降頻轉換，以及一些波速形成等，這樣的應用可以使用 **FPGA** 實現。系統性能可提高 10 倍到 20 倍（實際採用演算法不同，提高得倍數也不同）。

當系統希望採用 **COST FPGA** 板時，首先要考慮硬體，和板子的 **I/O** 系統。對於系統集成商 **I/O** 系統是非常重要的，他將決定資料放到 **FPGA** 進行處理，然後輸出顯示或者作進一步處理。

採用高速串列口將 **FPGA** 連接到串列切換式網路，是今天的 **FPGA** 的重大改進，例如 **RapidIO**。這個發展趨勢將提供簡單的，高速的，雙向資料通道，使得資料可以高速傳輸。例如，**Xilinx** 公司的 **Virtex-II Pro, Virtex-4** 和 **Virtex-5** 都支援高速串列口。

舉一個例子說明 **COST FPGA** 板如何實現串列口連結。下圖是 **Curtiss-Wright** 公司近來發佈的 6U 基於 **VPX** 匯流排的 **CHAMP-FXII**（參考圖二），板子上有兩塊 **Virtex-5 FPGA**，每一個 **FPGA** 擁有一個 4 通道的串列口，連接到板載的串列 **RapidIO** 交換晶片上。串列 **RapidIO** 交換晶片擁有 4 個 4 通道 **Serial RapidIO** 口，通往背板組成切換式網路。每一個口可以提供雙向 **2.5GB/s** 頻寬。這些高速串列資料通道可以連結像 **CHAMP-AV6** 四 **PowerPC DSP** 引擎，或 **VPX-185** 單板機等其他 **RapidIO** 互聯的 **VPX** 硬體模組。**FPGA** 物理上集成了 **Serial RapidIO** 切換式網路，所以資料流程可以進和出 **FPGA**，使系統保持高效的處理。



Figure 2

圖二 [CHAMP-AV6](#)

現代高性能 **FPGA** 除了提供邏輯單元外，還提供很多其他特性，如分散式的 **RAM**，

block RAM，數位時鐘管理，**DSP** 模組和硬處理核。一些適合在 **FPGA** 中實現的演算法可能需要很多臨時記憶體用於存儲，但是需要的記憶體數量超過 **FPGA** 所能提供的記憶體，這種情況是非常普遍的。這種情況下需要使用額外記憶體（這裡指 **SDRAM**）。因此，客戶需要尋找 **COST** 解決方案，使用記憶體選項（**memory option**），平衡輸入輸出資料流程頻寬，進行高效的存儲和取回。

有些演算法需要小的，快速的隨機記憶體存取。**SRAM** 適合這種演算法。但是，還有一些演算法進行大塊資料傳輸，**SDRAM** 比較合適。為了確保適應上述兩種演算法，客戶應選擇擁有很多 **SRAM** 和 **SDRAM** 的 bank 的 **COST FPGA** 板，為附加記憶體設計和利用提供足夠的靈活。

CHAMP-FXII 上的每一個 **FPGA** 擁有兩個 **SDRAM** bank，總共 512MB，以及 4 個 **SRAM** bank，總共 32MB。**CHAMP-FXII** 採用的 **SDRAM** 雙向頻寬可以達到 2.2GB/s，**SRAM** 雙向頻寬可以達到 4.4GB/s，所以不會產生資料流程瓶頸。這些記憶體是雙口的，給客戶應用提供更多的靈活性。

選擇 **COST FPGA** 板另外的關鍵因素是：

用於中斷，客戶匯流排界面，設備控制等的離散 I/O

測量板子和處理器溫度感測器

測量 **FPGA** 應用電流流向的電流感測器

用於 **FPGA** 位元流存儲的 **SPROM** 或 flash

簡化集成工作的 **FPGA** 工具

COST FPGA 能夠提供的開發工具集是僅次於板子硬體的一個重要因素。專用硬體開發工具集是 **COST** 解決方案的一個極其重要的因素，因為他將簡化，加速應用演算法整合到板子硬體過程，加快 **FPGA** 板整合進多計算系統的過程。這對演算法加速問題尤為重要，因為一般是首先考慮通用處理或者基於 **DSP** 處理，然後考慮基於 **FPGA** 的處理。

COST 板供應商一般提供軟體驅動和庫，**IP** 塊兒及其模擬 testbench 等開發工具集。有很多協力廠商 **IP** 塊兒（例如，www.xilinx.com/ipcenter），但是這些塊兒沒有經過特殊的優化，不能滿足客戶的需要。進一步複雜的 **IP** 塊兒集成目前還沒有標準的介面。因此，集成現有商業塊兒改進應用性能仍然是很困難的。

為了解決上述問題，一些 **COST** 供應商的開發工具集提供優化 **IP** 塊。例如，**Curtiss-Wright** 的統一 **Fxtools** 工具集提供優化的通用內連塊介面。這樣客戶可以專注於實現自己的演算法，不需要花費時間優化協力廠商 **IP** 塊兒。

很多 **COST FPGA** 應用於惡劣環境中。因此，驗證 **IP** 塊兒也應該達到主卡設計的溫度範圍。這將確保裝備時，這些優化過的，驗證過的 **IP** 塊能夠工作在寬廣的溫度範圍內，並且成功的滿足性能和時序要求（在很多軍事系統中溫度範圍是 -40° C 到 85°）。

7.1 處理器間通信

系統設計師使用廠商提供的塊兒集成應用，並完成模擬後，集成的下一步是建立處理器間通信，應用命令與控制。與 **PowerPC** 等通用處理器相比，**FPGA** 缺少指揮資料移動，設置處理模型的資源，以及其他重要的命令和控制功能。

系統工程師們使用外部處理資源解決這些限制。這些外部資源應該擁有豐富的庫函數，這些庫函數具有高層次的命令功能。系統工程師使用這些乏味的、容易出錯的庫函數，設置寄存器和創建控制結構體（如高級 DMA 引擎）。庫函數應該提供給系統工程師們簡單，易於上手的函數，處理複雜的 DMA 命令控制，同步和其他系統任務。

使用專門為 FPGA 設計的高級處理器間通信中介軟體解決方案是減少集成時間的另一個好方法。中介軟體通過管理記憶體映射，DMA 引擎建立，終端服務程式和處理器間同步等任務簡化集成時間，提供簡單的、應用程式級 API。

Curtiss-Wright 公司的統一 IPC 軟體是一款用於 COST FPGA 板子的處理器間通信解決方案。統一 IPC 中介軟體將緩衝區，信號量和 DMA 命令抽象成命名物件，就像 PowerPC 方式一樣，因此，可以簡化資料傳輸編碼。在系統級調試階段，處理和緩衝區可能在系統中移來移去，這種情況下使用 IPC 無需重新編寫代碼，因為中介軟體能夠自動解決新位置的問題，這是 IPC 另外一個好處。當使用 FPGA 用作演算法加速時，FPGA 更像是系統中的一個處理單元。

處理器與 FPGA 的搭配，除了原來提到的簡化資料傳輸，還有另外一個好處。例如，Virtex-5 尤其適合搭配 Freescale 的雙核 8641 處理器，因為二者使用相同的 RapidIO 網路互聯，除此，8641 還有兩個單獨的連接通道，連接到 Virtex-5。第一個是可選擇的映射介面，該介面能夠將不同位元流源存儲到本地的 flash，SDRAM 記憶體或者遠端檔案系統中。通過運行在 PowerPC 上應用發出指令，迅速將位元流載入到 FPGA 中。這對系統適應多模式要求非常重要的。8641 提供的第二個連接是本地命令匯流排。8641 使用專門的命令與控制，寄存器設置等訪問該匯流排，不會破壞進/出 FPGA 的資料流程。

7.2 權衡所有因素

準備在一個大而複雜的系統中，使用 FPGA 作為演算法加速時，有很多因素需要權衡。當考慮 COST 解決方案時，系統集成師應該瞭解 COST 供應商解決了哪些問題，能夠給集成商帶來那些特色和靈活。

原文來自 [YYJ](#)

更多的 VPX 產品 請您參考 <https://www.curtisswrightds.com/search.html?words=VPX>